

Protección Activa para Convertidores DC/DC empleados en Ambiente Espacial

Reinaldo González Reyes^{*1}, Roque Omar De Alessandro ^{*2}, Hector Brito ^{*3}

**Centro de Investigaciones Aplicadas*

Dirección General de Investigación y Desarrollo

Av. Fuerza Aérea Km 6.5 (5000, Te, Fax, E-Mail)

Córdoba – Argentina.

¹ reinaldoelcuba15@gmail.com

Abstract—This paper discusses some of the phenomena occurring radiation heavily charged because radioactive particles found in space and alter the behavior of semiconductors are explained. Given such undesirable phenomena, the objective is to design and implement an electronic protection system to prevent the destruction of semiconductors at stake in power converters DC / DC Buck.

Resumen— En este trabajo se explican algunos de los fenómenos ocurridos por la radiación y partículas radioactivas fuertemente cargadas que se encuentran en el espacio y que alteran el comportamiento de los semiconductores. Ante este tipo de fenómenos no deseados, el objetivo es diseñar e implementar un sistema electrónico de protección para evitar la destrucción de los semiconductores puestos en juego en convertidores de potencia DC/DC Buck.

I. INTRODUCCIÓN

En el espacio existen ciertos factores ambientales como Radiación solar, Rayos cósmicos y Partículas cargadas que perjudican la funcionalidad de los dispositivos electrónicos. Para aplicaciones críticas (militares, aeroespaciales o biomédicas) la garantía de fiabilidad a Dosis Total Ionizante de radiación (*TID*), es siempre un punto clave a tener en cuenta para el éxito de este tipo de proyectos. Como así también la prevención de fallas provocadas por eventos simples (*SEE* – del inglés Single event effects), en particular los destructivas (*SEU* – del inglés Single event Upset) a partir de partículas ionizantes fuertemente cargadas.

En este trabajo se desarrolla un circuito electrónico de protección aplicado a Convertidores Buck utilizados en la planta de energía del micro-satélite uSAT-3. Esta “Protección Activa” tiene como función principal actuar ante posibles *SEU* que se puedan originar en componentes semiconductores del convertidor; teniendo en cuenta la *TID* tolerable por cada componente crítico empleado para su funcionamiento.

II. MARCO TEÓRICO.

Los efectos de Radiación en componentes electrónicos de estado sólido pueden ser divididos en dos grandes grupos: Efectos Acumulativos y *SEE*.

Los efectos acumulativos producen cambios graduales en los parámetros operacionales de los dispositivos, mientras que los *SEE* causan cambios abruptos o transitorios en el comportamiento del componente. Los casos críticos de mayor interés a los que se ven afectados los dispositivos de potencia como en nuestro caso, los convertidores DC/DC, son los *SEE*.

Los *SEE*, son eventos muy localizados inducidos por partículas de gran energía. Estos pueden ser:

- a) Transitorios: señales parasitas que se propagan en el circuito.
- b) Estáticas: errores de información sobre-escrita almacenados por el circuito (ej: cambio de estado de una celda de memoria, sin restablecimiento de su valor original).
- c) Permanente: estos son los eventos destructivos.

En nuestro caso los eventos simples permanentes juegan un papel crucial para diseñar nuestro sistema de protección, ya que estos son los más trágicos. Estos pueden ser los siguientes:

***SEBO*(Single Event Bournout):** ocurren en Power Mosfets, BJT, IGBT y Diodos de Potencia.

***SEGR*(Single Event Gate Rupture):** suceden en Power Mosfets y en circuitos integrados CMOS.

***SEL*(Single Event Latchup):** aparecen en Power Mostets, CMOS y circuitos integrados Bipolares.

Los SEL o Latchup pueden ser iniciados por transitorios eléctricos en líneas de entrada o salida y partículas ionizantes.

Un modelo simple para representar un *SEL* es el de dos transistores *bipolares parásitos* en una tecnología CMOS; interconectados de tal manera que la corriente de colector de cada uno se realimenta con la base del otro.

Esta realimentación positiva es tal que si la ganancia total de la estructura PNPN (Tiristor) es lo suficientemente alta, cualquier perturbación (por ejemplo partículas ionizantes) atravesando una estructura BJT parásita, puede disparar un Latchup, estos fenómenos son explicados en bibliografía [1].

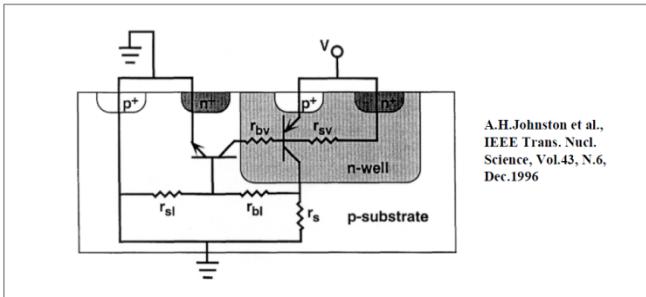


Figura 1. Estructura PNPN – tiristor – parásita representativa de un SEL – latchup.

Uno de los métodos para mitigar los efectos de un Latchup es la implementación de protecciones activas.

III. DESARROLLO.

Una protección activa consiste en un interruptor electrónico (Switch) que ante fallas; por corto circuito, sobre tensiones, o Latchup en los dispositivos semiconductores, desconecta la alimentación al circuito afectado. Esto evita que el componente entre en avalancha (supere la máxima temperatura de juntura) con la consiguiente destrucción del mismo. Una descripción básica de estos sistemas se encuentra en la bibliografía [2].

En la Figura 2 se propone el esquemático general de una Protección Activa para convertidor de tipo Buck. Allí se pueden observar dos mediciones indispensables para operar ante sobre-corrientes, corto-circuitos y sobre-tensiones. Por un lado tenemos al principio de la línea de alimentación del Switch de protección, un resistor Shunt empleado como sensor de corriente, y por otro se realiza la medición de tensión en la salida.

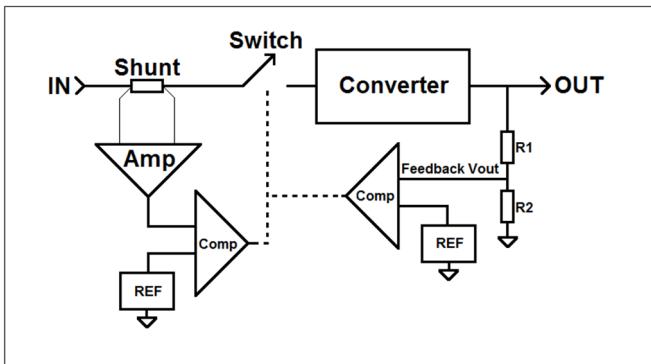


Figura 2. Diagrama en bloques y estructura de un sistema de protección activa aplicado a un Convertidor Buck.

Ambos parámetros son acondicionados e ingresan a circuitos comparadores ajustados a un valor máximo de corriente y tensión, si se superan dichos máximos se produce la apertura del Switch aislando al convertidor.

Latchup en el Mosfet del Convertidor Buck:

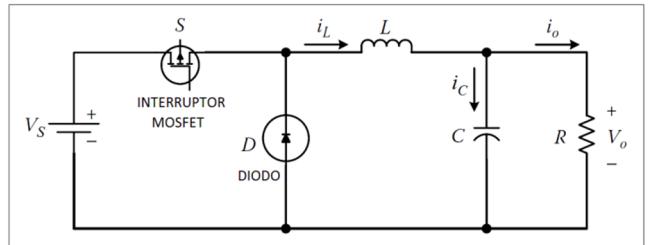


Fig. 3. Esquemático básico de un convertidor DC/DC Buck (reductor).

Cuando se da un latchup en un Mosfet de potencia, se cortocircuitan los terminales S (Source) con el D (Drain) [2]. Esta falla hace que la tensión de entrada pase a la carga, pudiendo dañarla si está fuera de tolerancia. Es aquí donde actúa la realimentación de tensión al comparador de la protección cambiando su estado para apagar el Switch ante sobre-tensiones. Una vez que se corta el suministro de energía al Mosfet que ha sido afectado por un latchup, automáticamente volverá a su condición normal de trabajo.

En el caso de que hubiese una sobre corriente por algún desperfecto en la salida del convertidor o en alguno de los componentes de su modulador PWM. El amplificador de corriente hará que el comparador cambie su estado para apagar el Switch de paso.

A. Diseño del Amplificador de Corriente

Para medir la corriente que circula por la línea de alimentación, se empleó una configuración con resistor Shunt (resistor de medición, R_{SEN}) aguas arriba de la carga, cuya diferencia de potencial es amplificada con un amplificador diferencial. En la figura 4 se puede apreciar esta configuración.

La expresión de la tensión de salida es la siguiente:

$$V_{\text{out}} = (V_1 - V_2) \left(1 + \frac{2R_F}{R_G} \right) + V_{\text{REF}} \quad (1)$$

Considerando R1=R2=R1*=R2*

En este tipo de configuración el rechazo al modo común aumenta proporcionalmente con la ganancia en modo diferencial. Esta se puede calcular de la siguiente forma:

$$\text{CMRR}_{\text{DIF}} \cong 20 \log \left(\frac{\left(1 + \frac{2R_F}{R_G} \right) 2}{K} \right) [\text{dB}] \quad (2)$$

$$K = 4T_R (\text{peor caso})$$

T_R = Tolerancia de los resistores.

K = Tolerancia neta de R2/R1 a R2*/R1*.

CMRR_{DIF} = Porcentaje de rechazo de modo común del amplificador diferencial.

Una vez definida la ganancia del amplificador se calcula el rango de tensión en modo común y diferencial para evitar saturaciones.

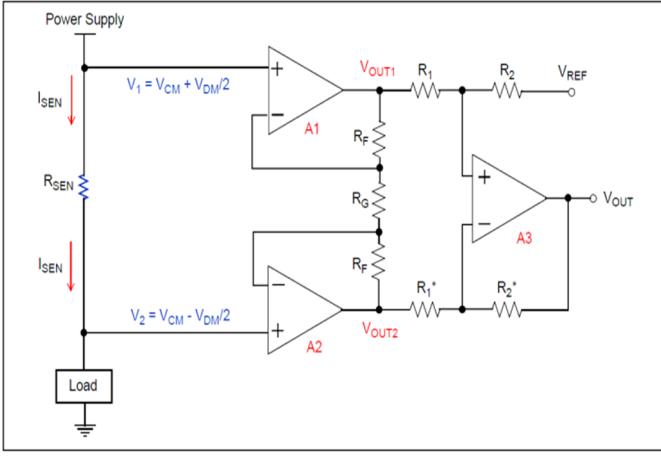


Figura 4. Configuración de Amplificador de Instrumentación para medición de corriente.

$$\frac{V_{OL} - V_{REF}}{G} \leq V_{DM} \leq \frac{V_{OH} - V_{REF}}{G} \quad (3)$$

$$V_{OL} + \frac{V_{DM}}{2} G \leq V_{CM} \leq V_{OH} - \frac{V_{DM}}{2} G \quad (4)$$

Dónde:

$$G = 1 + \frac{2R_F}{R_G} = \text{Ganancia.}$$

$V_{DM} = V_1 - V_2 =$ Tensión de entrada diferencial en los 3 amplificadores.

$V_{CM} = \frac{V_1 + V_2}{2} =$ Tensión de entrada en modo común de los 3 amplificadores.

$V_{OH} =$ Tensión máxima de salida del Amplificador Diferencial (AmDf).

$V_{OL} =$ Tensión mínima de salida del AmDf.

$V_{CMRH} =$ Límite máximo de tensión de entrada del AmDf en modo común.

$V_{CMRL} =$ Límite mínimo de tensión de entrada del AmDf en modo común.

Un ejemplo de este desarrollo puede ser visualizado en la bibliografía [3].

B. Cálculos de Ganancia y Selección del AmDf.

Se elige como corriente máxima de falla $I_{falla} = 3[A]$, ya que es la corriente máxima de trabajo en los convertidores DC/DC empleados.

El valor del resistor Shunt (sensor de corriente) es de $10[m\Omega]$ para evitar caídas de tensión considerables en la línea de alimentación.

Con los valores anteriores y fijando como tensión de referencia para la comparación, $V_{ref} = 3[V]$, se tiene entonces:

$$G = \frac{V_{OUT} + V_{diode}}{R_{SHUNT} I_{falla}} = \frac{3,7[V]}{30[mV]} \cong 124 \quad (5)$$

Luego se calculan los resistores de ganancia del Amplificador a partir de la ecuación 1, con $V_{ref} = 0$:

$$V_{out} = (V_1 - V_2) \left(1 + \frac{2R_F}{R_G} \right) = V_{falla} \left(1 + \frac{2R_F}{R_G} \right)$$

Fijamos $R_F = 24,7[k\Omega]$:

$$R_G = \frac{2V_{falla}}{V_{out} - V_{falla}} R_F = \frac{60[mV]}{3,7[V] - 30[mV]} 24,7[k\Omega] \cong 400[\Omega]$$

De este modo obtenemos el valor normalizado que deberá ser del 1% de tolerancia. A continuación se calculará con estos valores el porcentaje de rechazo de modo común con la ecuación 2:

$$K = 4(0.01) = 0.04$$

$$\text{CMRR}_{\text{DIF}} \cong 20 \log \left(\frac{1 + \frac{49,4[k\Omega]}{200}}{0.04} \right) \cong 76[\text{dB}]$$

- Selección del Amplificador Diferencial.

Para la selección del amplificador diferencial, se tuvo en cuenta que los niveles de señal de entrada en modo común puedan ser tolerados por el dispositivo y además que soporte una dosis de Radiación Ionizante acumulativa de 20KRad dado que es este el valor al cual podría estar sometido el uSAT-3 en una órbita LEO (del inglés, Low Earth Orbit).

El amplificador seleccionado es el INA129 [4], de **Burr Browns**, cuyas características mencionadas anteriormente se describen en la siguiente tabla 1.

Vos(entrada) offset	Sobre temperatura	$\pm 150\mu\text{V}$
Ios(entrada) offset	Sobre temperatura	$\pm 16\text{nA}$
CMRR	$0V \leq V_{cm} \leq +12V$ Sobre temperatura	Aprox 90dB
Temperatura	Rango de Operación	-55°C a 125°C
TID	Ibias incrementa desde 1-2nA hasta más de 150 nA después 40 krad(Si). Fuera de especificaciones alrededor de 2.5 krad(Si). V _{out} se mantiene estable en 50 krad(Si). No presento SEE. (INA218)	Bibliografía [5]

Tabla 1. Parámetros del Amplificador de instrumentación INA129, análogo al INA218.

C. Diseño del Comparador.

Se dispusieron dos comparadores con histéresis, ajustados para que a partir de los 3 Volt cambien su estado colocando una tensión de 0[V] en la base del transistor Q1. De este modo Q1 pone en la Gate de Q2 la tensión de alimentación apagándose (ya que Q2 es un Mosfet - P).

En la figura 5 se puede apreciar el esquemático planteado de comparadores para el Amplificador de Corriente y para la tensión de salida del convertidor.

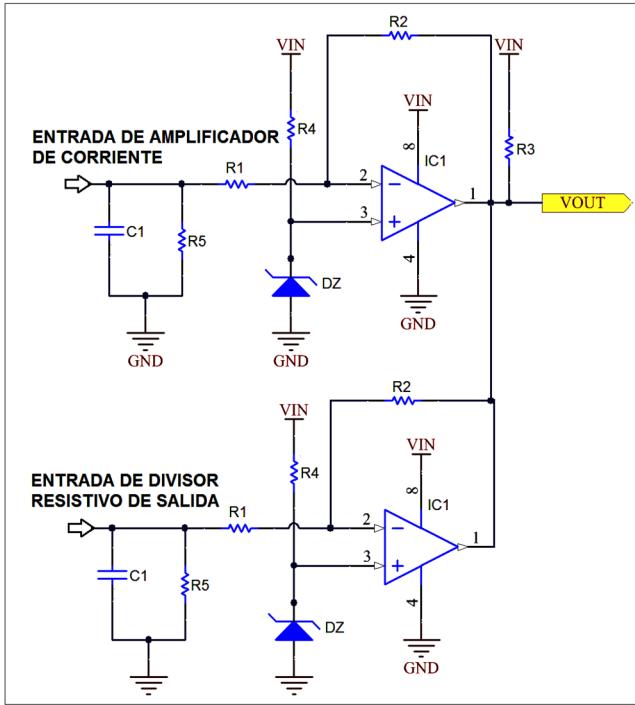


Figura 5. Esquemático de los comparadores con histéresis para corriente y tensión.

D. Cálculos del Comparador con Histéresis.

A continuación se presentan los cálculos de diseño para el comparador, basándose en la Figura 6 donde se esquematiza gráficamente la ventana de histéresis, V_{OUT} vs V_{IN} .

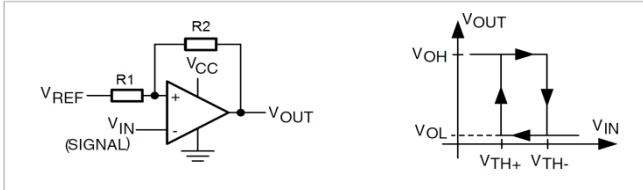


Figura 6. Configuración inversora de comparador y ventana de histéresis.

$$V_{TH+} = \frac{R_1}{R_2} (V_{REF} - V_{OL}) + V_{REF} \quad (7)$$

$$V_{TH-} = \frac{R_1}{R_2} (V_{REF} - V_{OH}) + V_{REF} \quad (8)$$

$$V_{HYST} = V_{TH+} - V_{TH-} = \frac{R_1}{R_2} (V_{OH} - V_{OL}) \rightarrow \text{Valor diferencial (9)}$$

$$V_{TRIP} = \frac{V_{TH+} - V_{TH-}}{2} = V_{REF} + \frac{R_1}{R_2} \left(V_{REF} - \frac{V_{OH} - V_{OL}}{2} \right) \rightarrow \text{Valor Medio (10)}$$

Se propone entonces:

$$V_{HYST} = 100[\text{mV}], V_{CC} = 14[\text{V}], \text{ planteamos } R_1 = 10[\text{k}\Omega]$$

$$\frac{R_2}{R_1} = \frac{14[\text{V}]}{0,1[\text{V}]} = 140 \rightarrow \begin{cases} R_2 = 1,2[\text{M}\Omega] \\ R_1 = 10[\text{k}\Omega] \end{cases}$$

Luego el valor para la tensión de referencia se calcula a partir de la ecuación (10) como:

$$V_{REF} = \frac{R_1}{2(R_1 + R_2)} (V_{OH} - V_{OL}) + \left(\frac{R_2}{R_1 + R_2} \right) V_{TRIP} =$$

$$V_{REF} = \frac{10[\text{k}\Omega]}{2(10[\text{k}\Omega] + 1,2[\text{M}\Omega])} (14[\text{V}]) + \left(\frac{1,2[\text{M}\Omega]}{10[\text{k}\Omega] + 1,2[\text{M}\Omega]} \right) 3[\text{V}] \cong 3,03[\text{V}]$$

Como el valor de ventana es pequeño (100mV) para la entrada, la tensión de referencia es prácticamente el valor central de polarización V_{TRIP} , por lo tanto V_{REF} será de 3[V]. [6].

E. Selección del Comparador y Referencia de Tensión.

En las siguientes tablas se presentan las características del comparador y tensión de referencia seleccionados.

Comparador LM193, [7]:

Este comparador dual proporcionado por National Semiconductor, presenta los siguientes parámetros:

$V_{OS}(\text{entrada offset})$	- (-55°C ≤ TA ≤ +125°C)	$\text{Typ} = 1\text{mV}, \text{Max} = 4\text{mV}$
$I_{OS}(\text{entrada offset})$	- (TA = 25°C)	$\text{Typ} = 25\text{nA}, \text{Max} = 100\text{nA}$
Voltaje de Saturación de salida	$I_{sink} \leq 4 \text{ mA}$	$\text{Max} = 700 \text{ mV}$
Tipo de Salida		Colector abierto
TID	Corriente Offset fuera de especificación. Tensión de Offset fuera de especificación Efectos en LDR (Bajo TID/S) significativos, no polarizado. Polarizado el peor caso es en HDR.	7kRad (Si), referencia [8] 10kRad (Si) El dispositivo es usable en un rango de 15 – 20kRad, dependiendo de las tolerancias. Referencia [9]

Tabla 2. Parámetros del Comparador LM193.

Referencia de tensión LM4040 - 3V, [10]:

El LM4040 es un dispositivo de tensión de referencia de precisión, cuya información se lista en la siguiente tabla 3.

Rango térmico	Rango industrial (-40°C a +85°C), Rango extendido (-40°C a +125°C)
Bajo ruido de salida	(10 Hz a 10 kHz): 35 μVrms (Típico).
Bajo coeficiente térmico de tensión	AVR / ΔT = 100 ppm / °C (máximo), con IR = 1mA.
IR mínima	Typ = 54 μA, Max = 80 μA.

Tabla 3. Parámetros de la tensión de referencia LM4040 – 5 Voltios.

F. Diseño del Driver para Interruptor de Paso.

La etapa de excitación para la compuerta del interruptor de paso, se implementó con un Mosfet de potencia canal-P excitado por un transistor bipolar NPN.

El Mosfet empleado es el IRF7404 [12] y el Transistor Bipolar usado es el NPN BCP56 [13].

En la figura 7 se presenta el esquemático de tal circuito, y en la tabla 4 la información de Q1 y Q2.

Q1: BCP56	Bipolar NPN
Vceo	80 Volt DC
Vbe (sat)	Max = 1V, Ic = 500mA
Ic (max)	1 Amper
Hfe (constante hasta 100mA)	100, a Tj = -55°C 500, a Tj = +125°C
TID	Buen comportamiento a 30,6kRad, [14]
Q2: IRF7404	Power Mosfet P
Vds (max)	20 Voltios
Ids (max)	6,7 Amper
Rds	40 mΩ

Tabla 4. Características de BCP56 e IRF7404.

Para el cálculo de la red de excitación se adopta un Hfe de 100 para lograr la saturación del transistor Q1. Se supone la tensión del bus no regulado (V_{UREG}) en su valor mínimo de 10[V] (peor condición) que está conectado al resistor *Pull Up* de salida de los comparadores. Por lo tanto el valor equivalente de resistor de Base de Q1 estará dado por la suma del resistor *Pull Up*, R_b y de la corriente mínima de salida del Comparador LM193.

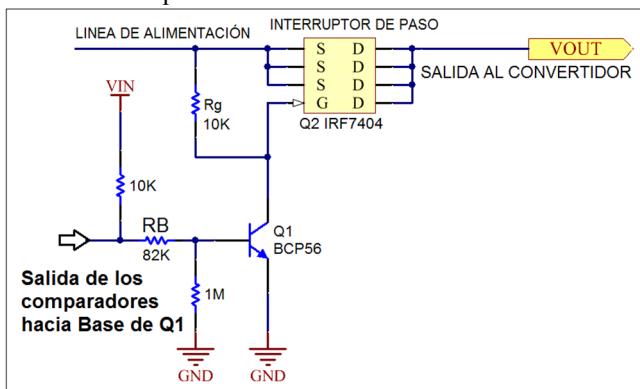


Figura 7. Esquemático del excitador para el interruptor de paso Q2.

Se sugiere una corriente mínima de colector de Q1 de 1mA que sitúe el Gate de Q2 en 0[V] para saturarlo.

Para el cálculo de R_b^* (equivalente) se admite una corriente de colector de Q1 de 10[mA] para alcanzar la saturación. Esto es:

$$I_b = \frac{I_c(\text{max})}{Hfe(\text{min})} = \frac{10[\text{mA}]}{100} = 100[\mu\text{A}]$$

$$R_b^* = \frac{V_{UREG} - V_{be(\text{typ})}}{I_b} = \frac{10[\text{V}] - 0.7[\text{V}]}{100[\mu\text{A}]} = 93[\text{k}\Omega]$$

Con el valor de corriente mínima de salida del comparador, I_{sink} , se calcula el valor de R_{pullup} como:

$$R_{PULLUP} = \frac{V_{UREG} - V_{O(\text{min-LM193})}}{I_{SINK}} = \frac{10[\text{V}] - 0.01[\text{V}]}{1[\text{mA}]} \cong 10[\text{k}\Omega]$$

Despejando el valor R_b de la R_b^* :

$$R_b^* = R_{PULLUP} + R_b$$

$$\begin{aligned} R_b &= 93[\text{k}\Omega] - 10[\text{k}\Omega] = 83[\text{k}\Omega] \rightarrow \text{valor comercial } R_b \\ &= 82[\text{k}\Omega] \end{aligned}$$

El cálculo de la red de polarización para la excitación de Q2 finaliza con el valor de R_g y $R_{pulldown}$. El primero es un resistor de auto-polarización encargado de apagar Q2. Para nuestro caso, R_g es de 10 [kΩ], y el segundo es un resistor para tener la referencia de GND en la base de Q1, cuyo valor adoptado es de 1[MΩ].

IV. IMPLEMENTACIÓN Y RESULTADO

Se hicieron dos tipos de ensayos. El primero consiste en cortocircuitar la salida del convertidor (para el caso de corto en la salida). El segundo simular un latchup cortocircuitando los terminales Drain y Source del Mosfet del convertidor.

En las figuras 8 y 9 se muestran los respectivos oscilogramas de los ensayos.

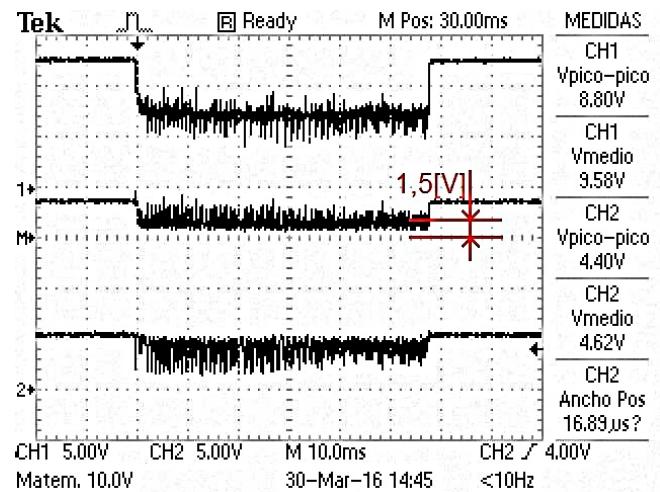


Figura 8. Oscilograma de la respuesta ante un corto-circuito en la salida del convertidor.

En el oscilograma de la figura 8 puede observar que la tensión a bornes del Mosfet del convertidor se ha reducido a 1,5[V], disminuyendo así la posibilidad de avalancha y destrucción del mismo.

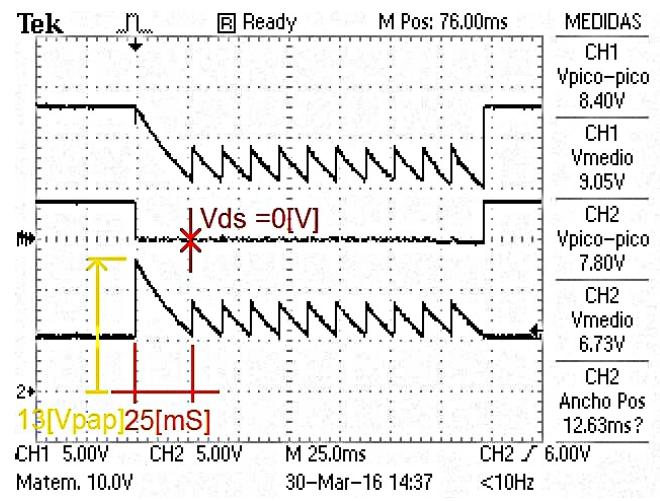


Figura 9. Oscilograma de la simulación de un latchup.

En el oscilograma de la figura 9 si bien a la salida se alcanzó un pico de 13[V] (que cae linealmente a 5[V] en 25[mS]); se verifica que la diferencia de tensión puesta en los terminales Drenador Source del Mosfet de potencia del convertidor es forzada desde la entrada del convertidor a reducirse, disminuyendo su amplitud. En esta condición cualquier Latchup puede ser suprimido ya que no hay circulación de corriente que conduzca a una avalancha en el dispositivo y aun, si la tensión es pequeña, no se llegaría a la destrucción del semiconductor.

En la siguiente figura se muestra el circuito electrónico de prueba que se implementó para ensayar la protección activa del convertidor Buck, en nuestro caso un convertidor basado en el LM2576 [15] de Texas Instruments de 5 Voltios 3 Amper.



Figura 10. Implementación final del Circuito de Protección activa para un convertidor Buck LM2576 de Texas Instruments.

V. CONCLUSIONES

De los resultados obtenidos en los ensayos mostrados anteriormente, podemos observar que en ambos casos el Mosfet de paso (Switch) no se llegó a apagar completamente. Esto se debe a que el tiempo de apagado es muy corto. Sin embargo para el ensayo de Latchup, se logró una buena respuesta ya que la tensión a bornes del Mosfet del convertidor se reducía considerablemente hasta cero, con lo que un Latchup puede ser suprimido por completo.

Para el ensayo de corto circuito en la salida del convertidor se puede observar que la caída de tensión en el mismo es de 1,5[V] con lo que se logra una reducción de la potencia pulsante puesta en juego, reduciendo así la posibilidad de superar la máxima temperatura de juntura.

Como conclusión final podemos afirmar que se puede proteger de eventos simples destructivos latchup, con este tipo de circuitos a los dispositivos de potencia que conforman convertidores DC/DC.

Finalmente queda como trabajo futuro mejorar el sistema del driver del interruptor de paso, agregando una etapa de retardo que mantenga apagado el Switch por un tiempo ajustable, superior al lapso de tiempo de una falla.

Una posible solución para generar este retardo ajustable podría ser el de un circuito monoestable a la salida de los comparadores.

AGRADECIMIENTOS

Los autores del trabajo objeto de esta publicación desean expresar su gratitud a las autoridades y personal del C.I.A – DGID por su apoyo constante y decidido en pro de la ciencia y la investigación. Cabe destacar que el mismo se realizó en el marco del Proyecto ES D 0020 (Micro satélite μ SAT-3), financiado por el Ministerio de Defensa, Poder Ejecutivo Nacional.

REFERENCIAS

- [1] F. Fraccio, *Radiation effects in the electronics for CMS*. Proceedings of CERN.
- [2] Dermot Levins, *Protection Concepts used in Spacecraft power systems*. Proceedings of the European Space Power Conference held in Florence, Italy 2 – 6 September 1991 (ESA SP-320 August 1991).
- [3] Yang Zhen. *Current Sensing Concepts and Fundamentals – AN1332*. Microchip Technology Inc – 2010-2011.
- [4] *INA129-EP Precision, Low Power Instrumentation Amplifiers*. Data sheet, 2013 Analog Devices, Inc..
- [5] P. Oserl, G. Spiezzi, M. Brugger, etc. *Compendium of Radiation-Induced Effects for Candidate Particle Accelerator Electronics*. 978-1-4799-5884-9/14/\$1.00 ©2014 IEEE.
- [6] Radoslav Smat. *Introduction to Comparators, their Parameters and Basic Applications – AN4071*. ST Microelectronics, October 2012.
- [7] *LM193-N Low-Offset Voltage, Dual Comparator*. Data sheet – Texas instrument, revised december 2014.
- [8] Donna J. Cochran, Stephe P. Buchner, Dakai Chen. *Total Ionizing Dose and Displacement Damage Compendium of Candidate Spacecraft Electronics for NASA*. 978-1-4244-5092-3/09/\$26.00 ©2009 IEEE.
- [9] Aaron J. Kenna, Bernard G. Rax, Dennis O. Thorbourn. *Compendium of Recent Total Ionizing Dose Test Results Conducted by the Jet Propulsion Laboratory from 2003 though 2009*. 978-1-4244-5092-3/09/\$26.00 ©2009 IEEE.
- [10] *LM4040 Precision Micropower Shunt Voltage Reference*. Data sheet – Texas Instrument, Revised August 2015.
- [11] E. Fiori, B. Alpat, R. Battiston. *Total Dose Test for AMS Power Supply Components*. Universita degli studi di Perugia, Via Pentima Bassa, 21 – 05100 Terni.
- [12] *IRF7404 - HEXFET Power MOSFET*. Data sheet – International Rectifier 30/09/2004.
- [13] *BCP56 NPN 80V, 1A Medium Power Transistor*. Data sheet – NXP Semiconductors. Rev. 9 – 25 October 2011.
- [14] G. Spiezzi, M. Brugger, R. Garcia Alia. *Compendium of Radiation-Induced Effects for Candidate Particle Accelerator Electronics*. 978-1-4799-1139-4/13/\$1.00 ©2013 IEEE.
- [15] *LM2576 - Series SIMPLE SWITCHER 3A Step Down Voltage Regulator*. Data sheet – Texas Instruments. Revised 2013.