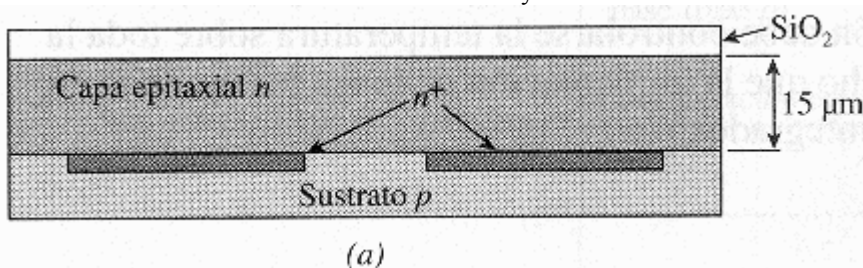


### 3- FABRICACION DE TRANSISTORES BIPOLARES

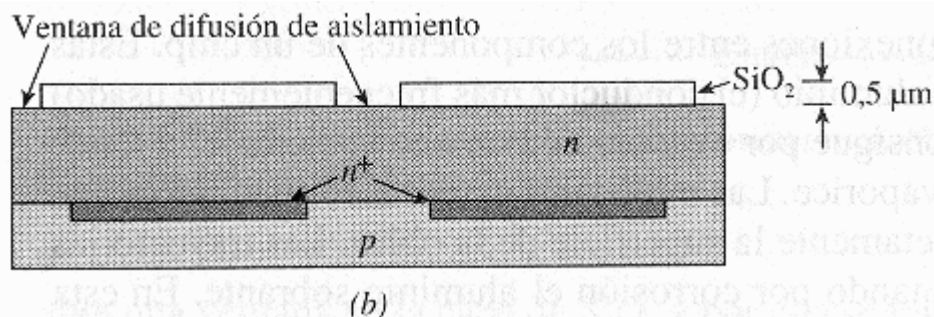
Describiremos la fabricación del BJT planar para circuitos monolíticos mediante los procesos tratados. Para seguir la secuencia de fabricación nos concentraremos en la construcción de dos transistores npn en la fuente de corriente. También analizaremos la fabricación de resistencias.

#### 3.1- Fabricación de Transistores

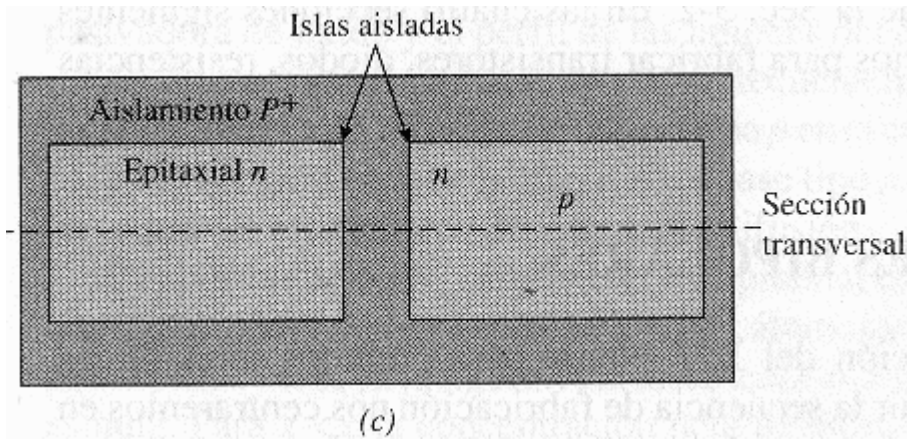
Una vez preparada la oblea, el sustrato tipo p, se crece una capa *epitaxial tipo n*, tal como se ve en la Figura 1. Esta capa forma las regiones de colector de los transistores. Seguidamente se deposita una capa de oxido para cubrir la superficie. Ahora deben aislarse entre sí las regiones de ambos transistores. Para ello se forman tres ventanas en el SiO<sub>2</sub> mediante fotolitografía y corrosión. Se difunde una región p<sup>+</sup> en la capa epitaxial expuesta hasta que alcance el sustrato. Este proceso establece una isla aislada alrededor de cada transistor como se ve en la figura 3.1. El aislamiento eléctrico se consigue conectando el sustrato a la tensión más negativa del circuito. Con esto se garantiza que la unión pn entre los colectores y el sustrato permanezca con polarización inversa. Una vez completada la difusión de aislamiento se recubre nuevamente la oblea con una capa de SiO<sub>2</sub>. Con una nueva máscara se forman las ventanas en las que se difunden las bases de tipo p como se ve en la figura 3.1(d), quedando definidas las regiones de las bases en la vista de la figura 3.1(e). Se recrece una capa de SiO<sub>2</sub> para cubrir la oblea después de la difusión de la base. Con una tercera máscara y un proceso de corrosión se elimina el SiO<sub>2</sub> como preparación para la difusión superficial de emisor figura 3.1(f). Obsérvese que también se difunde una región n<sup>+</sup> en la región de colector de cada transistor. Aquí se hace el contacto en el aluminio del colector, y la zona n<sup>+</sup> contribuye a formar un buen contacto óhmico. Después de la difusión de colector se crece otra capa de SiO<sub>2</sub> sobre la superficie de la oblea. El ultimo paso del proceso es la metalización. La capa de oxido se graba con una cuarta máscara para descubrir la oblea allá donde se deseen los contactos. Para recubrir toda la superficie se vaporiza aluminio, cuyos sobrantes se eliminan químicamente con una 6ª máscara dejando los contactos y las conexiones deseadas. En la sección transversal de la figura 3.1(g) y en la vista superior de la figura 3.1(h) puede verse el resultado de esta secuencia. La figura 3.1(g) es idéntica a la figura 3.1(a) para Q1 y Q2. Las dimensiones señaladas en la figura 3.1 son las típicas empleadas en la fabricación comercial de BJT de pequeña geometría. Al construirse ambos transistores simultáneamente y físicamente próximos, sus características eléctricas son prácticamente idénticas. Para fabricar transistores con propiedades eléctricas distintas, normalmente se modifica la geometría del dispositivo. En particular para obtener BJT de mayor corriente por aumento de I<sub>ES</sub>, se aumenta la superficie del emisor, con lo que todo el dispositivo queda aumentado. Empíricamente se acostumbra a limitar a 10:1 la relación entre las superficies de emisor de transistores muy próximos entre sí, y ello debido a las limitaciones del proceso de difusión. En la fabricación de circuitos integrados comerciales corrientemente se emplea la implantación de iones en las zonas de emisor y de base. Estas regiones son muy tenues y puede regularse mejor su espesor mediante la implantación. Además como la implantación se realiza a menor temperatura que la difusión se minimiza el inconveniente de la difusión lateral de base y emisor.



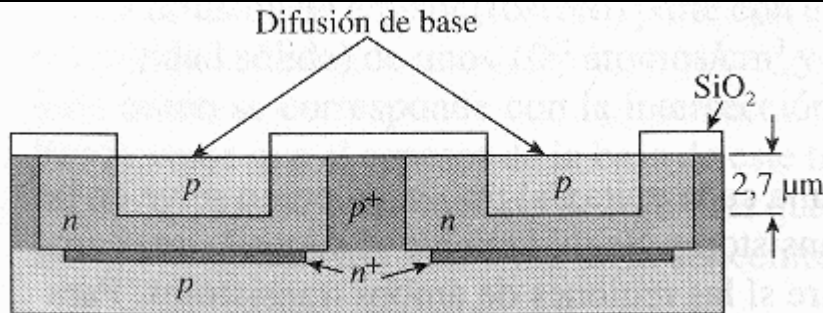
**Figura N° 3.1(a) Fabricación de un TR npn: Crecimiento Epitaxial tipo n y Oxidación**



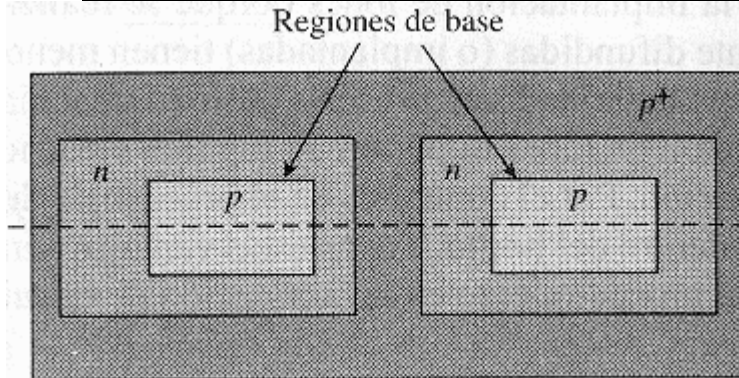
**Figura N° 3.1(b) Fabricación de un TR npn: Enmascaramiento y Grabado para Exponer la Superficie Tipo n para la Difusión de Aislamiento**



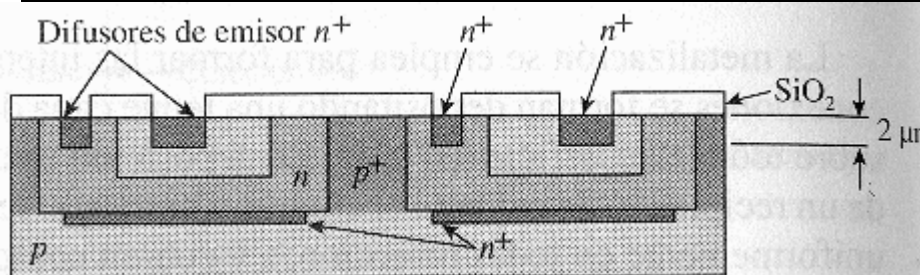
**Figura N° 3.1(c) Fabricación de un TR npn: Vista Superior Después de la Difusión de Aislamiento Tipo p.**



**Figura N° 3.1(d) Fabricación de un TR npn: Difusión de la Base**

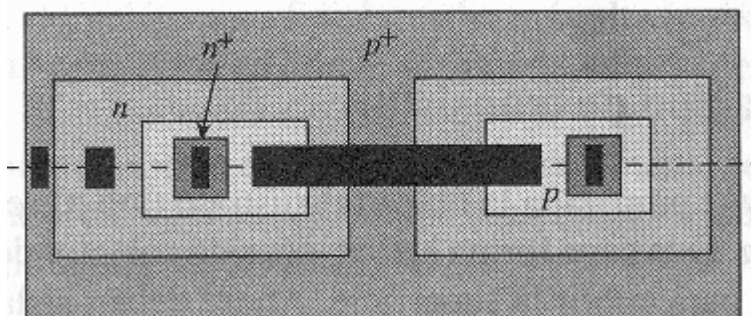


**Figura N° 3.1(e) Fabricación de un TR npn: Vista Superior Después de la Difusión de Base**



**Figura N°3.1(f) Fabricación de un TR npn: Difusión de Emisor  $n^+$**

**Figura N° 3.1(g) Fabricación de un TR npn: Metalización y Pasivado  $SiO_2$**

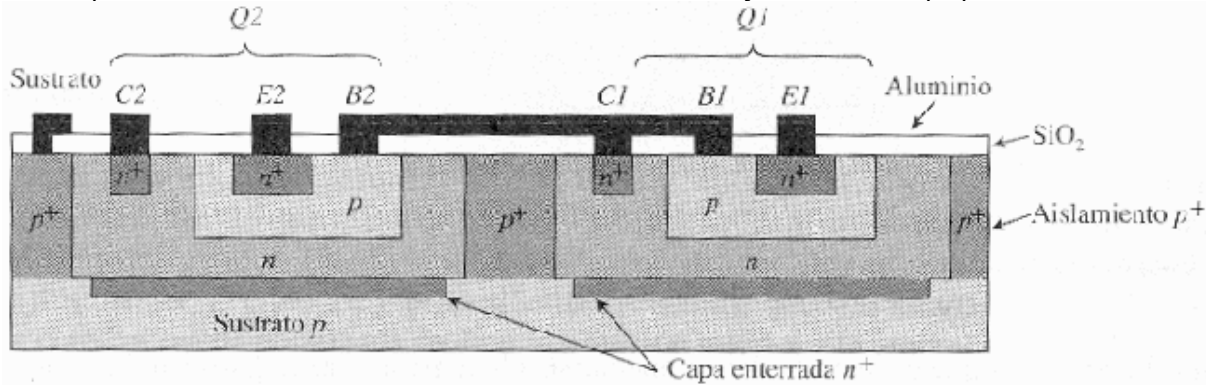


### **Figura N° 3.1(h) Fabricación de un TR npn: Vista Superior del Chip Mostrando los Contactos y las Interconexiones entre Componentes**

En esta última figura se puede observar que la capa de  $\text{SiO}_2$  se supone transparente para que sean visibles las regiones de base, emisor y colector. Las dimensiones señaladas son las normales en los circuitos integrados CI comerciales modernos.

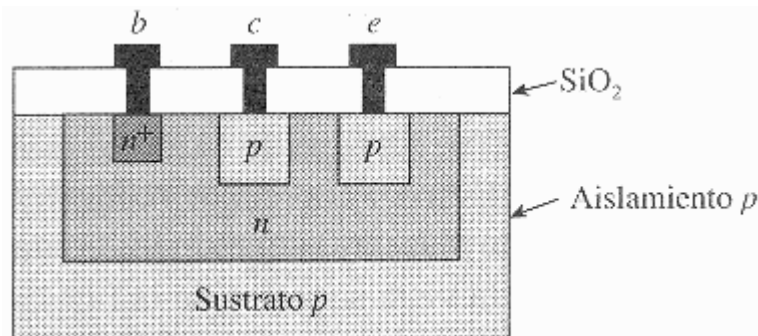
#### **3.2- Capa Enterrada**

La fabricación del BJT indicada en la figura 3.1 casi siempre se modifica añadiendo un nuevo paso al proceso como en la figura 3.2. Las dos regiones  $n^+$  conocidas como *capa enterrada*, entre las capas n y p se depositan antes del crecimiento epitaxial. Recuerdese que con el símbolo  $n^+$  se designa una región n con mayor concentración de dopado que otra designada simplemente como de tipo n. La utilización de las regiones  $n^+$  cumple dos funciones: (1) mejora la formación de la capa epitaxial; (2) la mayor densidad de electrones en la capa  $n^+$  reduce la resistencia en serie entre la unión de colector y el terminal del propio colector.



**Figura N° 3.2 Transistores Integrados mostrando la Capa Enterrada**

#### **3.3- Fabricación del TR pnp**



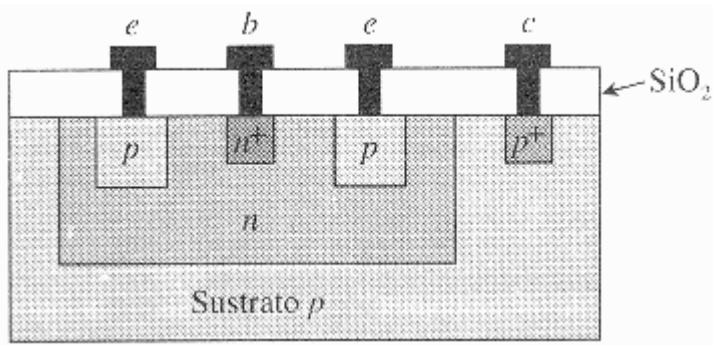
**Figura N° 3.3 Sección Transversal de un Transistor Lateral pnp**

Las resistencias de colector se logran utilizando un par de transistores pnp en configuración de fuente de corriente. Las dos clases de tales transistores más corrientemente empleados son el *pnp lateral* y el *pnp vertical*. En la figura 3.2 puede apreciarse que la base, el colector y la región aislada forman un *transistor pnp parásito*. El término *lateral* se refiere al hecho de que los tres elementos están ubicados en un plano horizontal contrariamente al plano vertical de los transistores npn. Análogamente un dispositivo *pnp vertical parásito* se forma por la base y el colector del transistor npn y el sustrato del tipo p. Estas observaciones conducen a la fabricación de los tipos de transistores pnp empleados en circuitos integrados. El pnp lateral, cuya sección transversal es la de la figura 3.3 se forma implantando las regiones tipo p de emisor y de colector al mismo tiempo que se fabrican las bases de dispositivos npn. Asimismo se forman simultáneamente el contacto  $n^+$  de base del transistor pnp y los emisores  $n^+$  del BJT npn. Así vemos que tanto los transistores npn como los pnp se fabrican según las mismas secuencias del proceso. Todo lo que se necesitan para el pnp son ventanas adicionales en las máscaras. El transistor lateral pnp tiene un valor de  $\beta_F$  considerablemente menor que el del npn. Esto es debido a que el emisor de tipo p no puede inyectar portadores minoritarios en la base tipo n con la misma eficacia que lo hace el emisor tipo  $n^+$  en la base tipo p de un BJT npn. Además la mayor área de la base y el hecho de que algunos de los huecos inyectados migren hacia el sustrato hace que disminuya el número de huecos que llegan al colector. Por tanto los transistores pnp laterales se emplean en circuitos con poca corriente de colector. El transistor pnp vertical se emplea donde se requieran mayores corrientes y potencias. En la figura 3.4 está representado este dispositivo y en ella se ve que también puede fabricarse simultáneamente y con los mismos procesos empleados para los transistores npn. Los dos pasos simultáneos son: (1) la fabricación de las regiones p de emisor del transistor pnp y las bases de los npn. y (2) la fabricación de la región  $n^+$  de base del sustrato pnp y los emisores de los transistores npn.

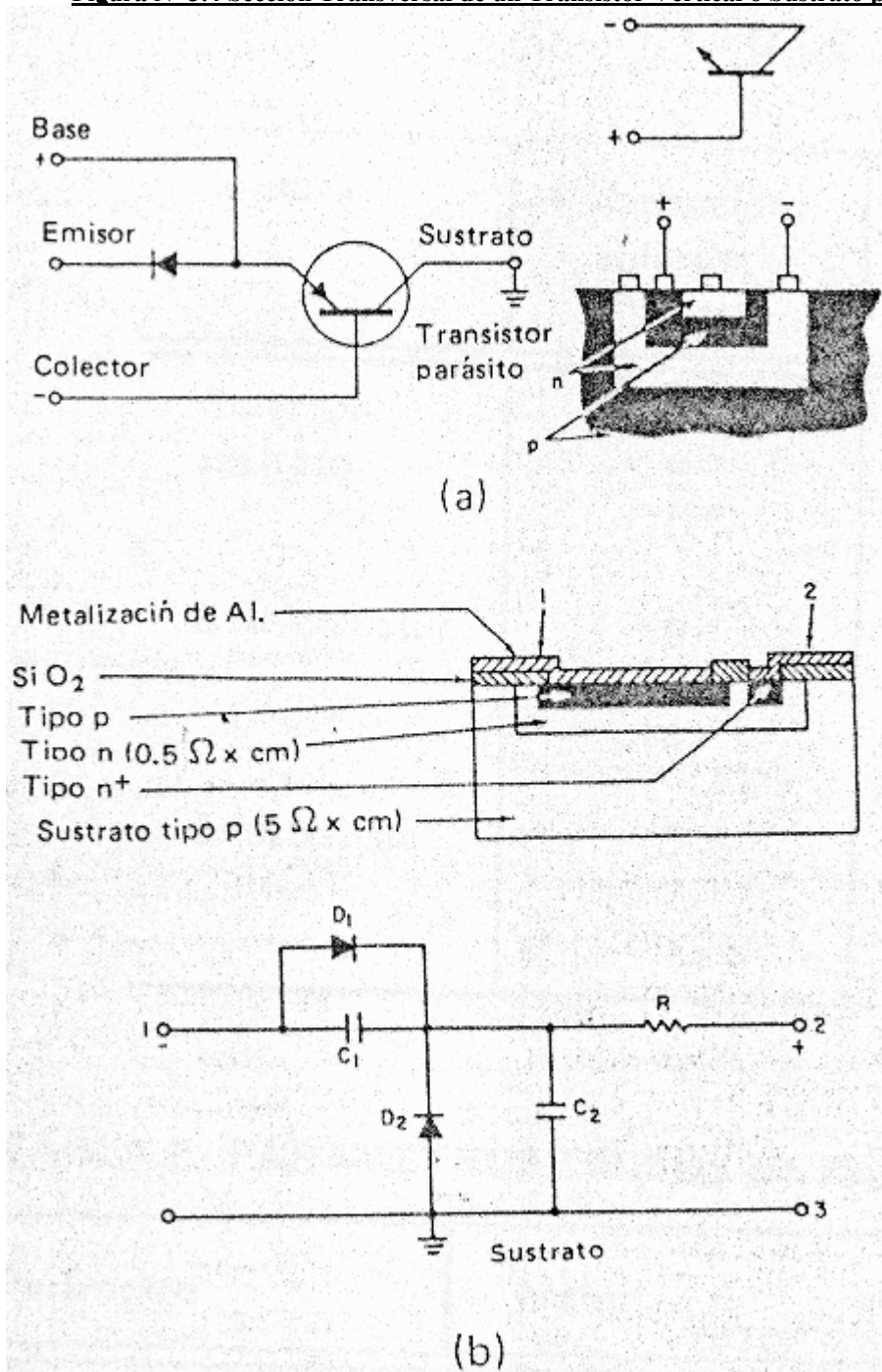
El sustrato debe conectarse a la tensión más negativa del circuito. Por tanto un transistor pnp vertical solo se puede utilizar si su colector está a una tensión negativa fijada. A esta configuración se le denomina *seguidor de emisor* y será comentada más adelante.

#### **3.3.1- Transistor Parásito**

Cuando se usa el transistor básico como diodo aparece un transistor parásito cuyo colector es el sustrato, la capa epitaxial es la base y la base tipo p es el emisor. En la figura 3.5(a) se muestra el circuito equivalente de este transistor parásito. Aunque su estructura hace que sea un dispositivo muy ineficaz.



**Figura N° 3.4 Sección Transversal de un Transistor Vertical ó Sustrato pnp**



**Figura N° 3.5 (a)Circuitos Equivalente y Estructura de un Transistor pnp Parásito; (b) Capacitor tipo Juntura**

