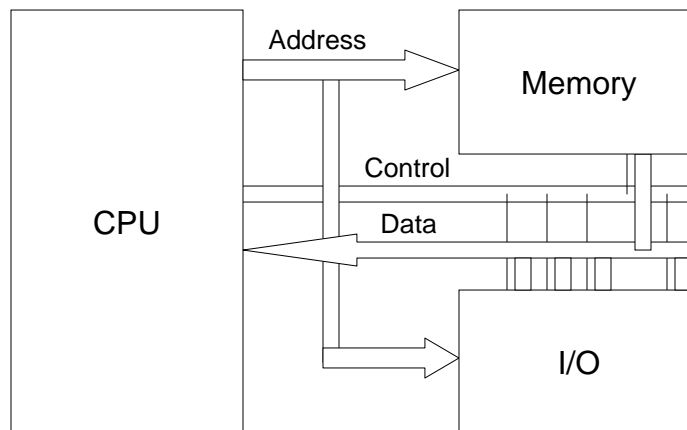


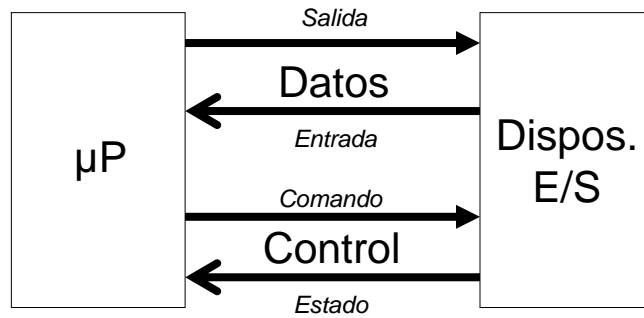
Entradas y Salidas

- a) Con periféricos de mediana velocidad conviene trabajar por **FLAG** (control por programa).
- b) Con periféricos rápidos utilizando el esquema de la línea **READY**.
- c) Con periféricos de Actuación Esporádica con el esquema de **Handshake e Interrupciones**.
- d) Con periféricos Muy Rápidos mediante acceso directo a memoria (**DMA**).

Componentes básicos de una PC



Por Programa



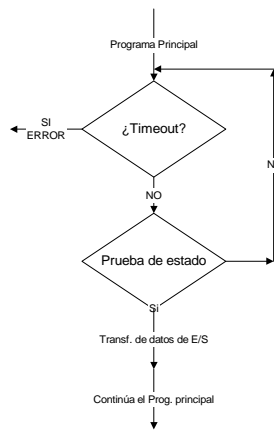
Por Programa



```
Mov    DX, dir_estado
Vuelta: in    AL,DX
Test   AL,00100000b
jz     vuelta

mov    dx,dir_datos
in     al,dx
```

Por Programa



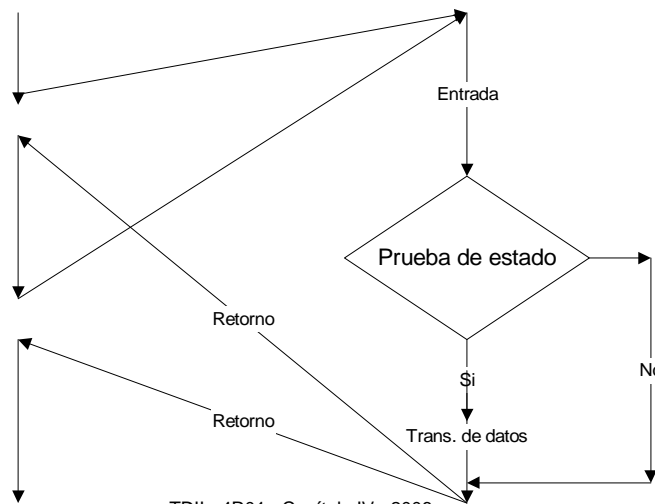
```

Mov   DX, dir_estado
mov   cx, cuenta
Vuelta: in  AL, DX
Test  AL, 00100000b
jnz   listo
loop  vuelta

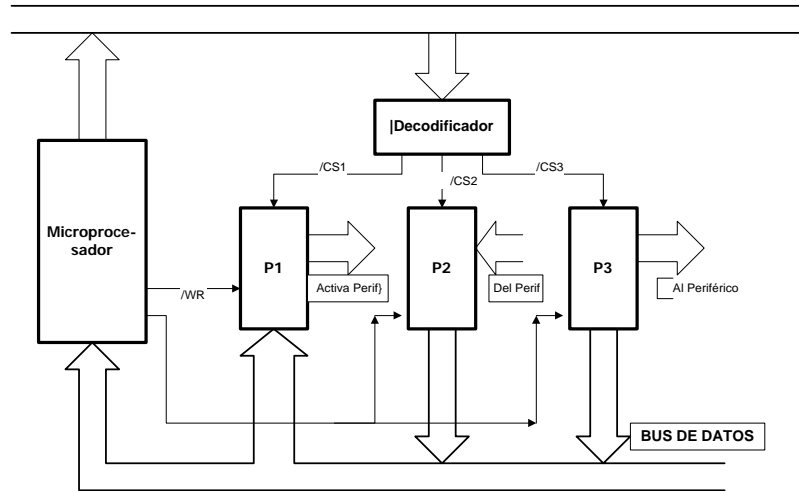
jmp   ERROR

Listo: mov  dx, dir_datos
in    al, dx
  
```

Operación Entrelazada



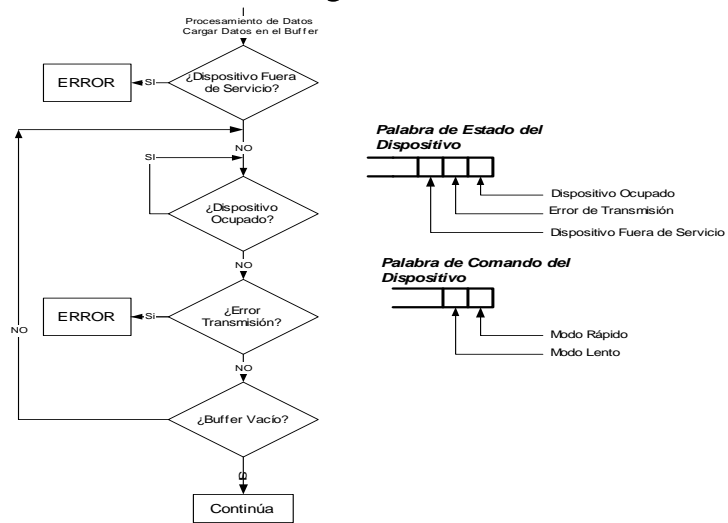
Ejemplo



TDII - 4R01 - Capítulo IV - 2006

7

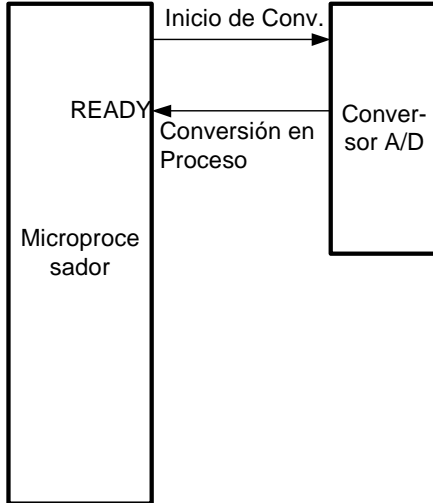
Control y Estado



TDII - 4R01 - Capítulo IV - 2006

8

Sincronización de Ready



Interrupción

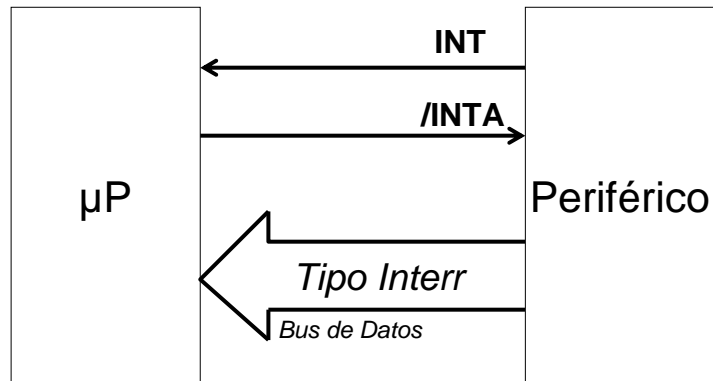
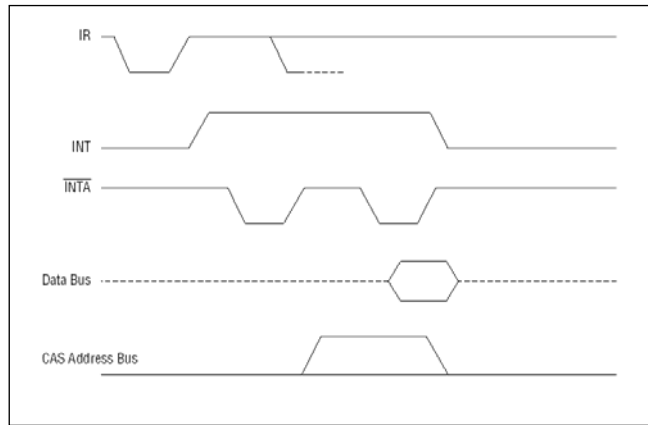


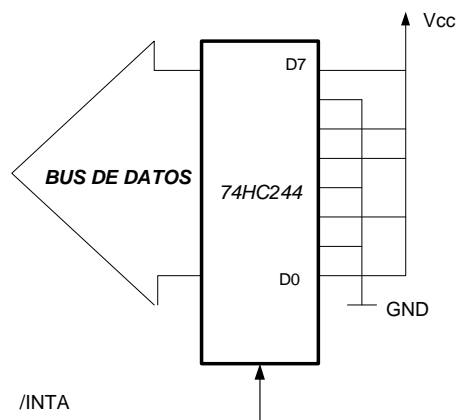
Diagrama Temporal



TDII - 4R01 - Capítulo IV - 2006

11

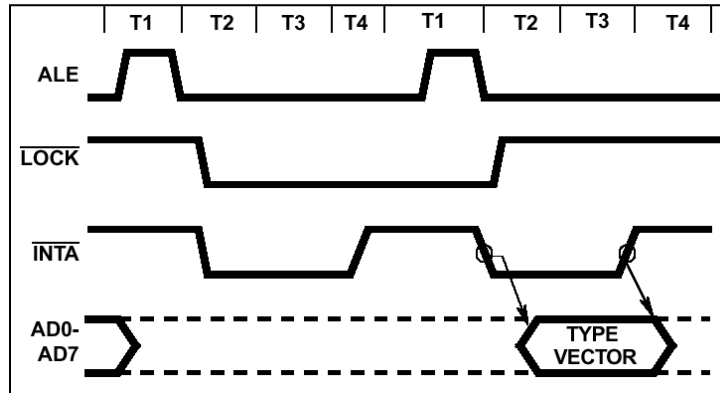
Identificación del Perférico



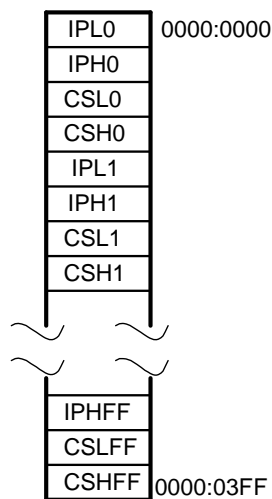
TDII - 4R01 - Capítulo IV - 2006

12

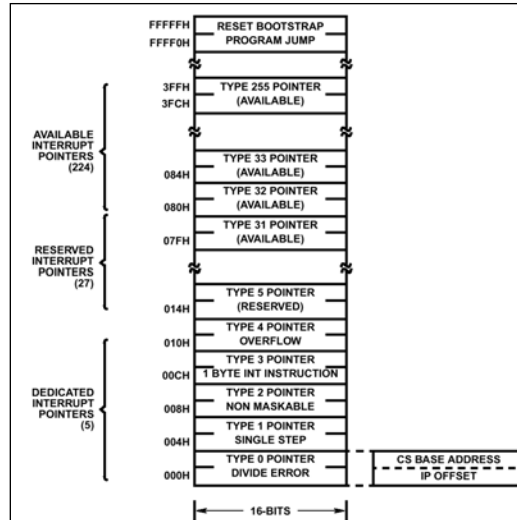
Reconocimiento de Interrupción



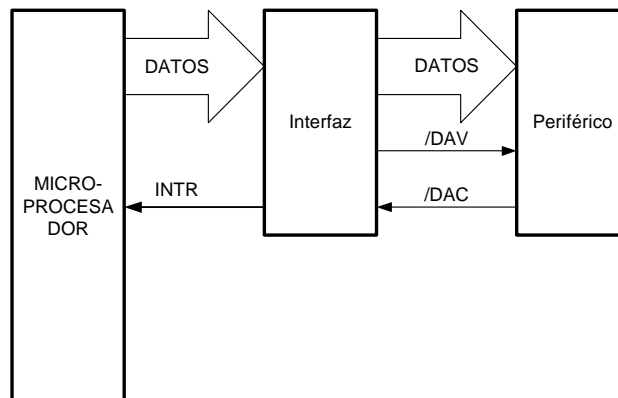
Vectores de Interrupción



Distintos tipos de Interrupción



Handshake



Software Interrupts

.....

Int 21h →

.....

....
CD
21
....

Todo ocurre como si se hubiera generado un pedido de interrupción externo (sin generar /INTAs) y el periférico hubiera colocado 21H como tipo de interrupción

NMI

- No requiere de la habilitación de interrupciones
- No genera ciclos de /INTA
- Todo ocurre como si se generase una INT tipo 2.
- Debería reservarse para situaciones catastróficas que no admiten demoras

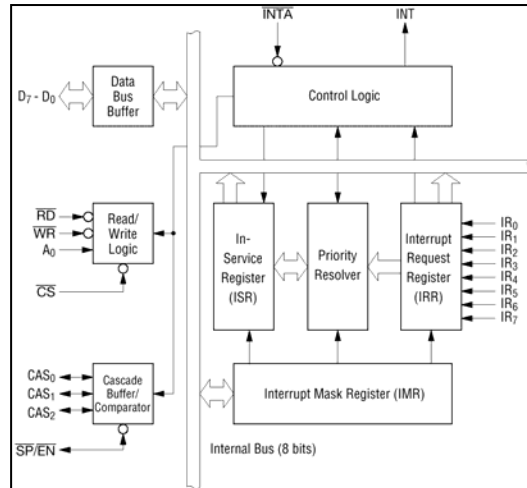
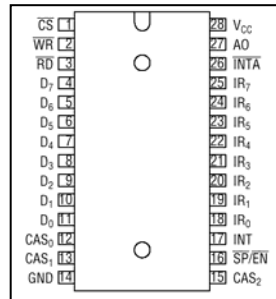
Frases a recordar

- Rutina de atención de interrupción (ISR)
- Vectores de interrupción
- Número de vector (tipo) de Interrupción
- Tabla de Vectores de Interrupción

Resumen

- INT → Si IF=1 Termina Instrucción
- /INTA
- Tipo Interrupción
- Push CS, IP, Flags
- IF=0
- Multiplica el tipo x 4
- Busca en la Tabla de Vectores y carga el nuevo CS:IP
- La Rutina de Atención de interrupción termina con IRET

Controlador de Interrupciones



TDII - 4R01 - Capítulo IV - 2006

21

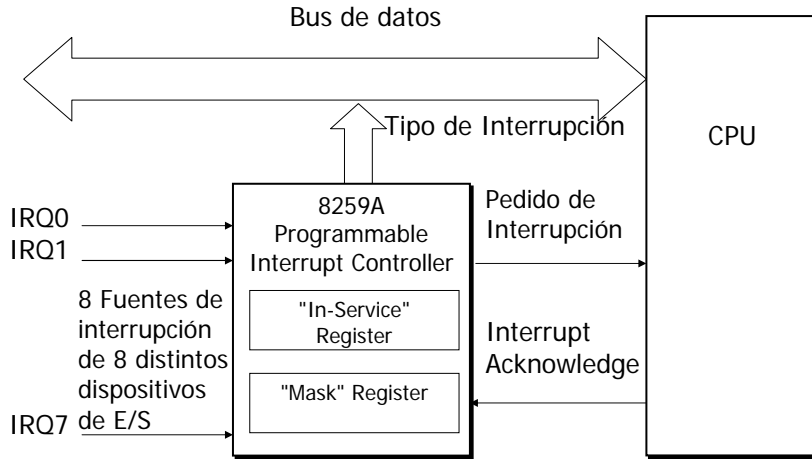
Programación del 8259

- El 8259 acepta dos tipos de comandos generados por la CPU:
 - ICW (Initialization Command Word) que inicializan el 8259,
 - OCW (Operation Command Word) que permiten programar la modalidad de funcionamiento.
 - La comunicación con el 8259 emplea las líneas /WR y /RW, así como A0. El hecho de que exista una sola línea de direcciones implica que el 8259 sólo ocupa dos direcciones de puerto de E/S en el espacio de entrada y salida del procesador.

TDII - 4R01 - Capítulo IV - 2006

22

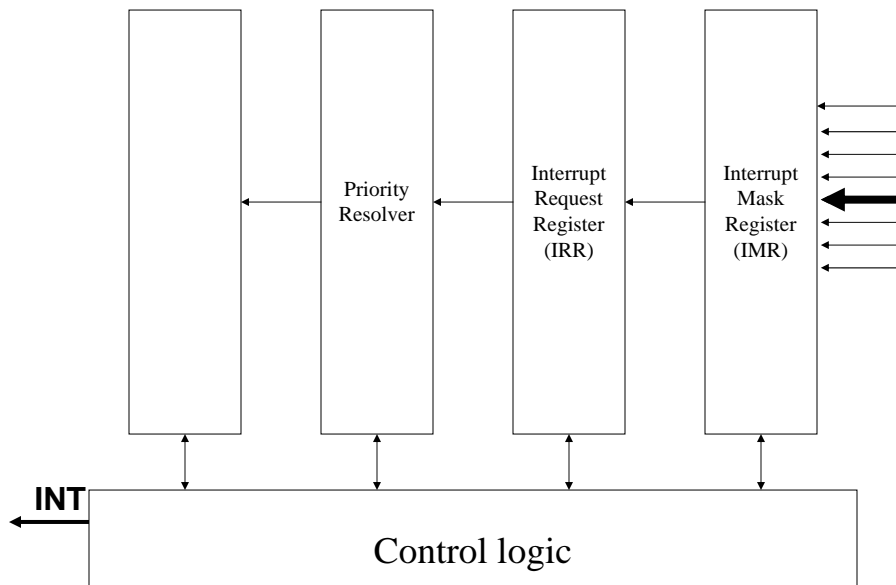
8259 – PIC



TDII - 4R01 - Capítulo IV - 2006

23

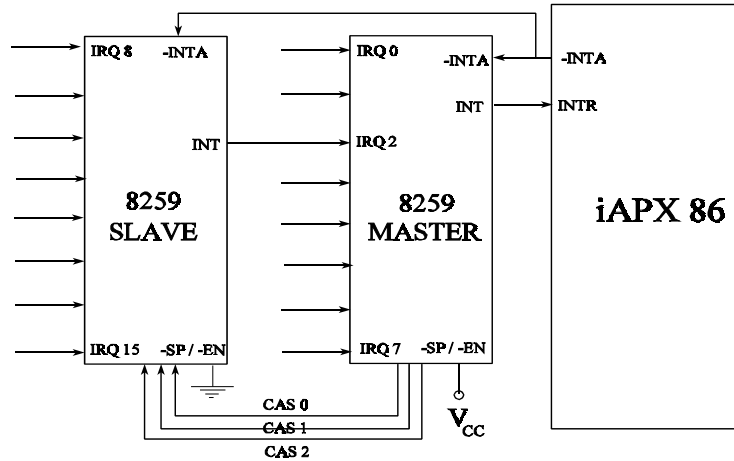
PIC: Ejemplo de funcionamiento (4:11)



TDII - 4R01 - Capítulo IV - 2006

24

8259 - Montaje en la PC



TDII - 4R01 - Capítulo IV - 2006

27

El flag IF

15

0



IF es el flag de interrupciones que controla si las interrupciones están habilitadas.

IF=1: La CPU dejará que la interrumpen.

IF=0: La CPU ignorará pedidos de interrupción.

Para acceder a IF desde Turbo C:

IF=1 es equivalente a enable ()

IF=0: es equivalente a disable ()

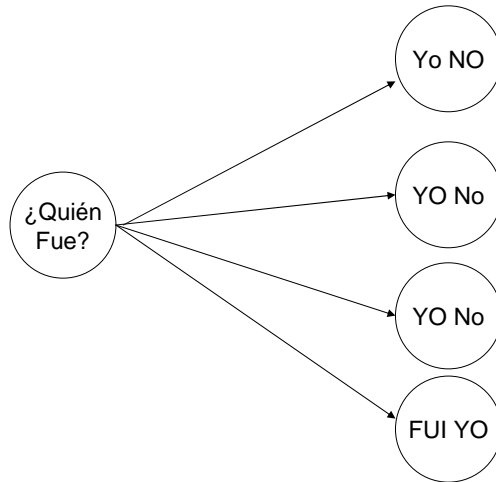


TDII - 4R01 - Capítulo IV - 2006

28

Encuesta (polling)

- Serie

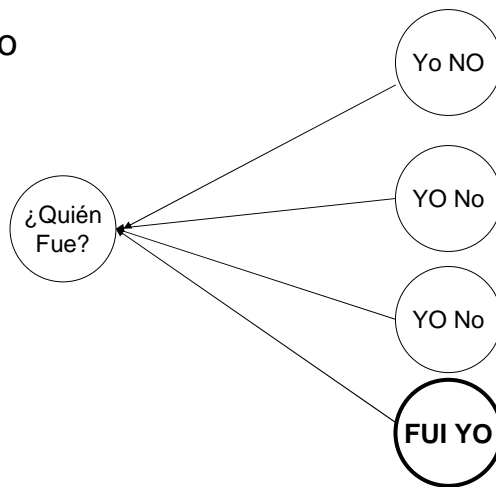


TDII - 4R01 - Capítulo IV - 2006

29

Encuesta (polling)

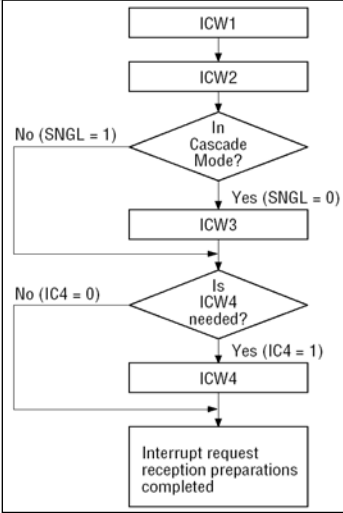
- Paralelo



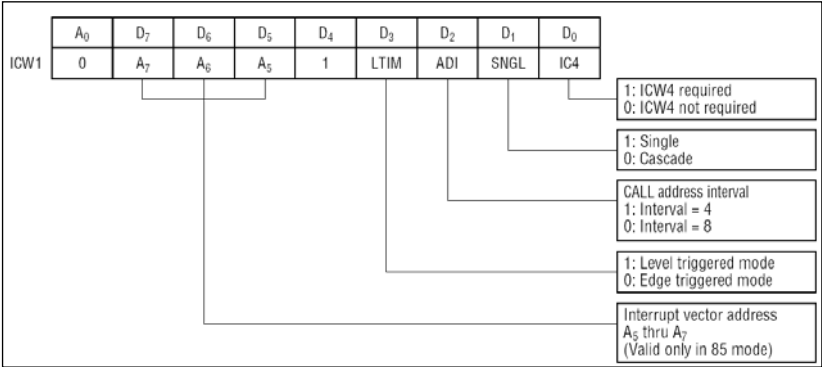
TDII - 4R01 - Capítulo IV - 2006

30

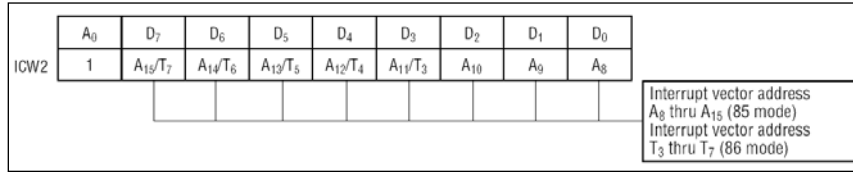
Programación 8259A



Programación del 8259

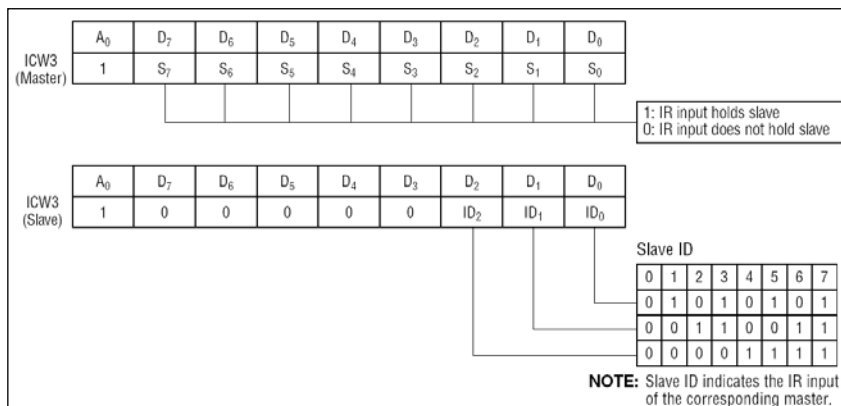


Programación del 8259

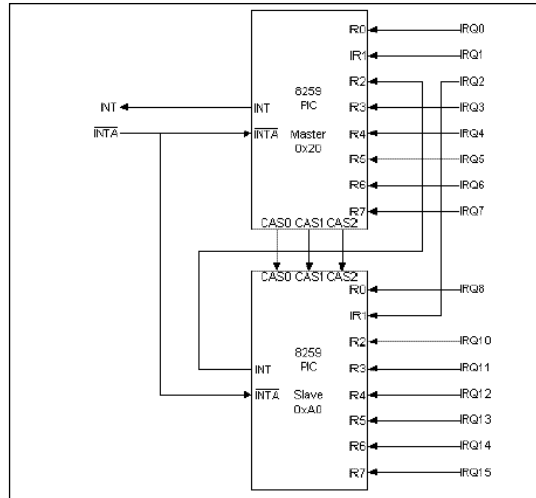


- ICW2: Se envía con A0=1, para diferenciarlo de ICW0 (hacer OUT a la siguiente dirección de puerto).
 - Notas: T7..T3 determinan los cinco bits más significativos del número de vector de interrupción a invocar (los 3 bajos los suministra el 8259 según la interrupción que se trate).

Programación del 8259



Conexión Amo - Esclavo

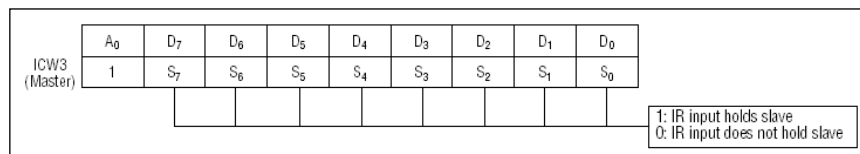


TDII - 4R01 - Capítulo IV - 2006

35

ICW3

- ICW3: Se envía sólo en el caso de que haya más de un 8259 en el sistema (bit SNGL de ICW1 a cero), en caso contrario en su lugar se enviaría ICW4 (si procede).
 - Formato de ICW3 a enviar a un 8259 maestro:

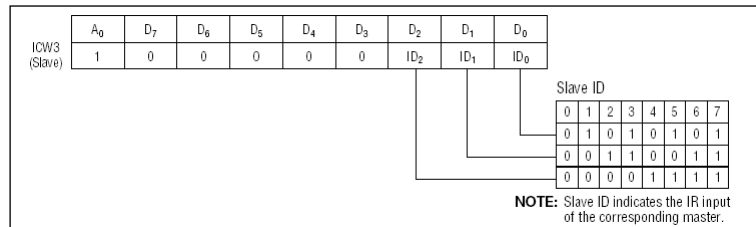


TDII - 4R01 - Capítulo IV - 2006

36

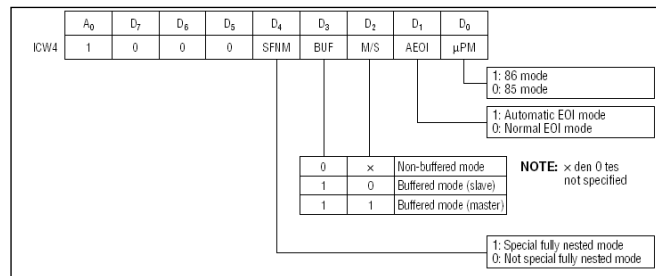
ICW3

–Formato de ICW3 a enviar a un 8259 esclavo para que memorice de qué línea IR del maestro cuelga:

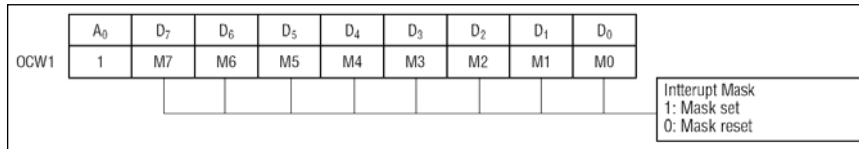


ICW4

- ICW4: Se envía sólo si IC4=1 en ICW1, con objeto de colocar el 8259 en un modo de operación distinto del establecido por defecto (que equivale a poner a cero todos los bits de ICW4).
 - Notas: El Special Fully Nested Mode, el buffered mode y la modalidad AEOI serán explicadas más tarde. Nótese que con el 8086 es obligatorio enviar ICW4 para seleccionar esta CPU.

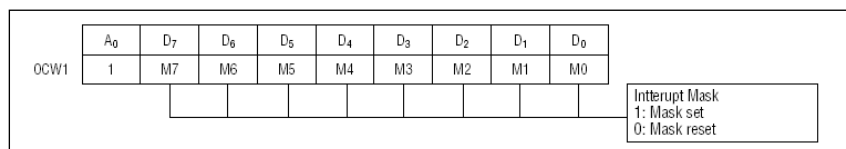


Programación del 8259

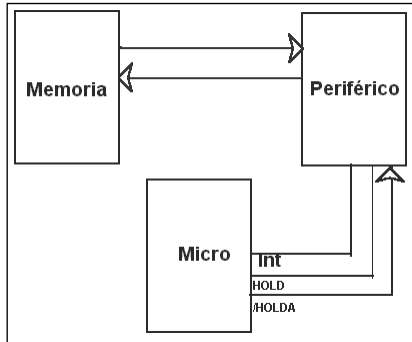


OCW

- Una vez inicializado, el 8259 está listo para procesar las interrupciones que se produzcan. Sin embargo, durante su funcionamiento normal está capacitado para recibir comandos de control por parte de la CPU.
- OCW1: Este comando activa y borra bits en el IMR (Interrupt Mask Register). Los bits M₀..M₇ de OCW1 se corresponden con sus correspondientes bits del IMR. Un bit en 1 significa interrupción enmascarada (inhibida) y en 0, interrupción habilitada.



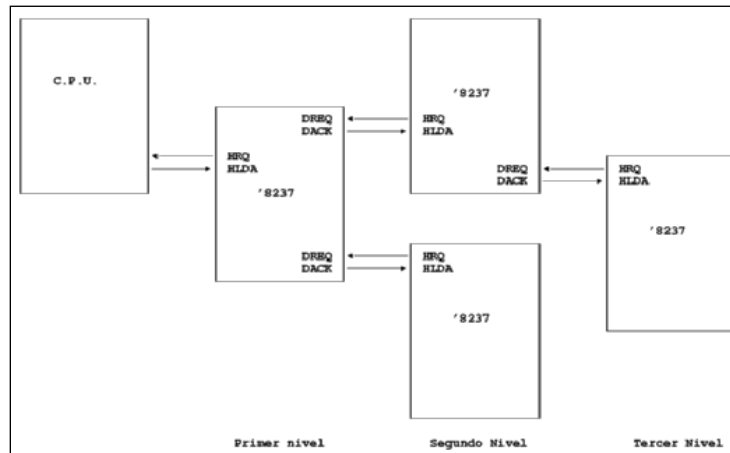
Acceso directo a memoria



```

MOV CX,NUM
MOV SI,PTR
MOV DX,PERIF
Lazo: IN AL,DX
MOV AL,[SI]
INC SI
LOOP Lazo
    
```

Conexión del controlador de DMA



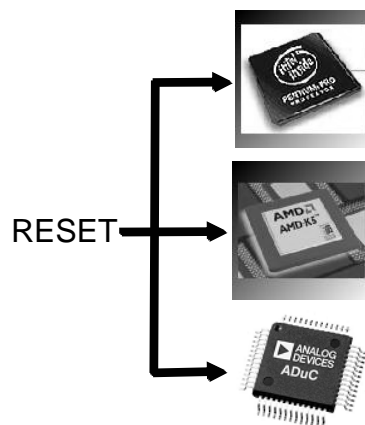
Resumen

- **Ready:** Tiempo comparable con una instrucción.
- **Interrupción:** Tiempo de muchas instrucciones
- **Flag:** Tiempo de unas pocas instrucciones.
- **Acceso directo a memoria:** Tiempo inferior a una instrucción

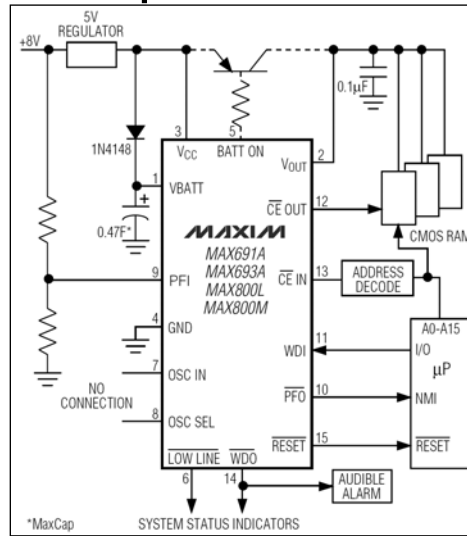
Supervisores

APLICACIONES

- Microprocesadores
- Controladores
- Instrumentos Inteligentes
- Automóviles
- Las que necesite cada usuario



Supervisores



TDII - 4R01 - Capítulo IV - 2006

Supervisores

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
Operating Voltage Range, V _{CC} , VBATT (Note 1)		0		5.5	V	
V _{OUT} Output	V _{CC} = 4.5V	I _{OUT} = 25mA	MAX69_AC	V _{CC} - 0.02	V _{CC} - 0.05	V
			MAX69_AE, MAX800_C/E	V _{CC} - 0.2	V _{CC} - 0.3	
		I _{OUT} = 250mA	MAX69_A/M	V _{CC} - 0.2	V _{CC} - 0.35	
			MAX69_AC/AE, MAX800_C/E	V _{CC} - 0.40	V _{CC} - 0.40	
V _{CC} -to-V _{OUT} On-Resistance	V _{CC} = 4.5V	MAX69_AC, MAX800_C	0.8	1.2	Ω	
		MAX69_AE, MAX800_E	0.8	1.4		
		MAX69_A/M	0.8	1.6		
V _{OUT} in Battery-Backup Mode	VBATT = 4.5V, I _{OUT} = 20mA		VBATT - 0.3		V	
	VBATT = 2.8V, I _{OUT} = 10mA		VBATT - 0.25			
	VBATT = 2.0V, I _{OUT} = 5mA		VBATT - 0.15			
VBATT-to-V _{OUT} On-Resistance	VBATT = 4.5V			15	Ω	
		VBATT = 2.8V		25		
		VBATT = 2.0V		30		
Supply Current in Normal Operating Mode (excludes I _{OUT})	V _{CC} > VBATT - 1V		30	100	µA	
Supply Current in Battery-Backup Mode (excludes I _{OUT}) (Note 2)	V _{CC} < VBATT - 1.2V, VBATT = 2.8V	T _A = +25°C	0.04	1	µA	
		T _A = T _{MIN} + T _{MIN}		5		
VBATT Standby Current (Note 3)	VBATT + 0.2V ≤ V _{CC}	T _A = +25°C	-0.1	0.02	µA	
		T _A = T _{MIN} + T _{MIN}	-1.0	0.02		
Battery Switchover Threshold	Power-up			VBATT + 0.3	V	
	Power-down			VBATT - 0.3		

TDII - 4R01 - Capítulo IV - 2006

Supervisores

